

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Norio MASUI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: ADDRESS TRANSLATION UNIT PERFORMING ADDRESS TRANSLATION FROM VIRTUAL
ADDRESS TO PHYSICAL ADDRESS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

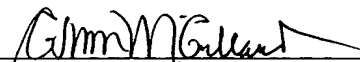
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-330645	November 14, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913
C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2002年11月14日

出 願 番 号

Application Number: 特願2002-330645

[ST.10/C]:

[JP 2002-330645]

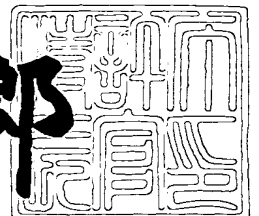
出 願 人

Applicant(s): 三菱電機株式会社

2002年12月10日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3097709

【書類名】 特許願

【整理番号】 542113JP01

【提出日】 平成14年11月14日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/10

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 榊井 規雄

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 アドレス変換装置

【特許請求の範囲】

【請求項1】 仮想アドレスから物理アドレスへのアドレス変換を行うアドレス変換装置であって、

前記物理アドレスのデータを保持するデータエントリ部と、

前記データエントリ部のタグとして、アドレス空間識別子および仮想アドレスを記憶するタグエントリ部とを備え、

前記タグエントリ部は、

前記アドレス空間識別子を保持するアドレス空間識別子保持部と、

前記アドレス空間識別子保持部に保持されたアドレス空間識別子保持値と、新たに入力されるアドレス空間識別子入力値とを比較するアドレス空間識別子比較判定部と、

前記仮想アドレスを保持する仮想アドレス保持部と、

前記仮想アドレス保持部に保持された仮想アドレス保持値と、新たに入力される仮想アドレス入力値とを比較する仮想アドレス比較判定部とを備え、

前記仮想アドレス比較判定部は、

その出力ラインをチャージするためのチャージ回路および前記出力ラインへのチャージを禁止するチャージ禁止回路を有し、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが一致する場合には、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行い、その結果に基づいて前記出力ラインの電位状態を制御して前記アドレス変換の実行、非実行を規定し、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが不一致の場合には、前記チャージ禁止回路により前記出力ラインへのチャージを禁止するアドレス変換装置。

【請求項2】 前記アドレス空間識別子保持部および前記仮想アドレス保持部は連想メモリで構成され、

前記アドレス空間識別子保持部を構成する連想メモリセルは、アドレス空間識別子比較用マッチラインに接続されるとともに、前記アドレス空間識別子比較判

定部に接続され、

前記仮想アドレス保持部を構成する連想メモリセルは、仮想アドレス比較用マッチラインに接続されるとともに、前記仮想アドレス比較判定部に接続され、

前記仮想アドレス比較判定部は、前記アドレス空間識別子比較判定部での比較結果信号を受け、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが一致する場合には、前記仮想アドレス比較用マッチラインをフローティング状態に保ち、少なくとも前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行う、請求項 1 記載のアドレス変換装置。

【請求項 3】 前記タグエントリ部のデータが、有効か否かの情報を保持するバリッドビット部をさらに備え、

前記バリッドビット部は連想メモリで構成され、

前記仮想アドレス比較用マッチラインは、前記バリッドビット部を構成する連想メモリセルにも接続され、

前記仮想アドレス比較判定部は、

前記バリッドビット部に保持されたバリッドビット保持値と、新たに入力されるバリッドビット入力値との比較を併せて行う、請求項 2 記載のアドレス変換装置。

【請求項 4】 仮想アドレスから物理アドレスへのアドレス変換を行うアドレス変換装置であって、

前記物理アドレスのデータを保持するデータエントリ部と、

前記データエントリ部のタグとして、アドレス空間識別子および仮想アドレスを記憶するタグエントリ部とを備え、

前記タグエントリ部は、

前記タグエントリ部のデータが、有効か否かの情報を保持するバリッドビット部と、

前記アドレス空間識別子を保持するアドレス空間識別子保持部と、

前記アドレス空間識別子保持部に保持されたアドレス空間識別子保持値および前記バリッドビット部に保持されたバリッドビット保持値と、新たに入力されるアドレス空間識別子入力値およびバリッドビット入力値とを比較するアドレス空

間識別子比較判定部と、

前記仮想アドレスを保持する仮想アドレス保持部と、

前記仮想アドレス保持部に保持された仮想アドレス保持値と、新たに入力される仮想アドレス入力値とを比較する仮想アドレス比較判定部と、を備え、

前記仮想アドレス比較判定部は、

前記アドレス空間識別子保持値および前記バリッドビット保持値と、前記アドレス空間識別子入力値および前記バリッドビット入力値とがそれぞれ一致する場合には、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行い、その結果に基づいて前記アドレス変換の実行、非実行を規定し、前記アドレス空間識別子保持値および前記バリッドビット保持値と、前記アドレス空間識別子入力値および前記バリッドビット入力値とがそれぞれ不一致の場合には、その出力ラインに予め定めた所定の値を出力する、アドレス変換装置。

【請求項 5】 前記アドレス空間識別子保持部、前記仮想アドレス保持部および前記バリッドビット部は連想メモリで構成され、

前記アドレス空間識別子保持部を構成する連想メモリセルおよび前記バリッドビット部を構成する連想メモリセルは、アドレス空間識別子比較用マッチラインによって並列に接続されるとともに、前記アドレス空間識別子比較判定部に接続され、

前記仮想アドレス保持部を構成する連想メモリセルは、仮想アドレス比較用マッチラインに接続されるとともに、前記仮想アドレス比較判定部に接続され、

前記仮想アドレス比較判定部は、前記アドレス空間識別子比較判定部での比較結果信号を受け、前記アドレス空間識別子保持値および前記バリッドビット保持値と、前記アドレス空間識別子入力値および前記バリッドビット入力値とが一致する場合には、前記仮想アドレス比較用マッチラインをフローティング状態に保ち、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行う、請求項 4 記載のアドレス変換装置。

【請求項 6】 前記アドレス空間識別子比較判定部は、

MOS トランジスタと、

ラッチと、を備え、

前記MOSトランジスタは、

第1の主電極が電源に接続され、第2の主電極が前記アドレス空間識別子比較用マッチラインに接続され、制御電極に比較動作を制御する比較制御信号が与えられ、

前記ラッチは、

データ入力端子が前記アドレス空間識別子比較用マッチラインに接続され、制御入力端子に前記比較制御信号が与えられ、出力端子から前記比較結果信号が出力される、請求項2または請求項5記載のアドレス変換装置。

【請求項7】 前記仮想アドレス比較判定部は、

直列に接続された導電型の異なる第1および第2のMOSトランジスタと、インバータと、

ORゲートと、を備え、

前記第1のMOSトランジスタは、

第1の主電極が第1の電源に接続され、第2の主電極が前記仮想アドレス比較用マッチラインに接続され、前記仮想アドレス比較用マッチラインを前記出力ラインとしても使用し、

前記第2のMOSトランジスタは、第1の主電極が前記仮想アドレス比較用マッチラインに接続され、第2の主電極が第2の電源に接続され、

前記インバータは、

その入力に前記比較結果信号が与えられ、その出力は前記第2のMOSトランジスタの制御電極および前記ORゲートの方の入力に接続され、

前記ORゲートは、

その他方の入力に、比較動作を制御する比較制御信号が与えられ、その出力が前記第1のMOSトランジスタの制御電極に接続される、請求項2または請求項5記載のアドレス変換装置。

【請求項8】 前記アドレス空間識別子比較判定部は、

外部から与えられる外部信号を受け、前記比較結果信号および前記外部信号の一方を選択して、前記仮想アドレス比較判定部に与える機能をさらに有し、

前記アドレス変換装置は、

前記比較結果信号を外部に出力する出力経路をさらに有する、請求項 2 または請求項 5 記載のアドレス変換装置。

【請求項 9】 前記アドレス空間識別子比較判定部は、

MOS トランジスタと、

ラッチと、

セレクトと、

OR ゲートと、を備え、

前記 MOS トランジスタは、

第 1 の主電極が電源に接続され、第 2 の主電極が前記アドレス空間識別子比較用マッチラインに接続され、制御電極に比較動作を制御する比較制御信号が与えられ、

前記セレクトは、

選択動作の制御信号として選択制御信号が与えられ、入力信号として前記アドレス空間識別子比較用マッチラインの信号および前記外部信号が与えられ、その出力は前記ラッチのデータ入力端子に与えられ、

前記 OR ゲートは、

その一方の入力に前記比較制御信号が与えられ、

その他方の入力に前記選択制御信号が与えられ、その出力が前記ラッチの制御入力端子に与えられ、

前記ラッチの出力端子から、前記比較結果信号または前記外部信号が出力される、請求項 8 記載のアドレス変換装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は仮想アドレスから物理アドレスに変換を行うアドレス変換装置に関し、特に、仮想メモリシステムを扱う中央処理装置（CPU：Central Processing Unit）に付属して用いられるメモリ管理機構（MMU：Memory Management Unit）内のアドレス変換用のトランスレーション・ルックアサイド・バッファ（以下 TLB と呼称）に関する。

【 0 0 0 2 】

【従来の技術】

仮想メモリシステムを扱うCPUは、命令およびデータをアクセスする際に論理メモリ空間上の仮想メモリアドレスを出力する。しかし、実際の命令およびデータは物理空間上の物理アドレスに保持されているため、MMUを用いて仮想アドレスから物理アドレスに変換を行う。この際、アドレス変換を高速に行うためにMMU内に備えたTLBを用いる。

【 0 0 0 3 】

仮想メモリシステムを用いる半導体装置の従来技術としては、例えば、特許文献1に、連想メモリ（CAM：Content Addressable Memory）セルをタグ部として用いたアドレス変換緩衝回路の構成が示されている。すなわち、多重仮想記憶空間の個々の空間の識別を行うためのプロセス識別番号と、アクセスのための実効アドレスを、タグ部において比較する構成が示されている。

【 0 0 0 4 】

また、特許文献2には、仮想アドレスから物理アドレスへのアドレス変換に使用されるTLBの高速化のためにマッチラインの寄生容量を低減するCAMの構成例が示されている。

【 0 0 0 5 】

【特許文献1】 特開平4-262436号公報（第1欄～第2欄、図3、4）

【特許文献2】 特開平7-282587号公報（第13欄～第14欄、図4）

【 0 0 0 6 】

【発明が解決しようとする課題】

仮想アドレスから物理アドレスへのアドレス変換は高速で行うことが要求され、従来からマッチラインの寄生容量を低減するなどして、アドレス変換の高速化が図られてきたが、十分な高速化は達成していないのが現状である。

【 0 0 0 7 】

この発明は上記のような問題点を解消するためになされたもので、小さな電力消費で高速に仮想アドレスから物理アドレスに変換できるTLBを提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

本発明に係る請求項 1 記載のアドレス変換装置は、仮想アドレスから物理アドレスへのアドレス変換を行うアドレス変換装置であって、前記物理アドレスのデータを保持するデータエントリ部と、前記データエントリ部のタグとして、アドレス空間識別子および仮想アドレスを記憶するタグエントリ部とを備え、前記タグエントリ部は、前記アドレス空間識別子を保持するアドレス空間識別子保持部と、前記アドレス空間識別子保持部に保持されたアドレス空間識別子保持値と、新たに入力されるアドレス空間識別子入力値とを比較するアドレス空間識別子比較判定部と、前記仮想アドレスを保持する仮想アドレス保持部と、前記仮想アドレス保持部に保持された仮想アドレス保持値と、新たに入力される仮想アドレス入力値とを比較する仮想アドレス比較判定部とを備え、前記仮想アドレス比較判定部は、その出力ラインをチャージするためのチャージ回路および前記出力ラインへのチャージを禁止するチャージ禁止回路を有し、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが一致する場合には、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行い、その結果に基づいて前記出力ラインの電位状態を制御して前記アドレス変換の実行、非実行を規定し、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが不一致の場合には、前記チャージ禁止回路により前記出力ラインへのチャージを禁止する。

【 0 0 0 9 】

本発明に係る請求項 4 記載のアドレス変換装置は、仮想アドレスから物理アドレスへのアドレス変換を行うアドレス変換装置であって、前記物理アドレスのデータを保持するデータエントリ部と、前記データエントリ部のタグとして、アドレス空間識別子および仮想アドレスを記憶するタグエントリ部とを備え、前記タグエントリ部は、前記タグエントリ部のデータが、有効か否かの情報を保持するバリッドビット部と、前記アドレス空間識別子を保持するアドレス空間識別子保持部と、前記アドレス空間識別子保持部に保持されたアドレス空間識別子保持値および前記バリッドビット部に保持されたバリッドビット保持値と、新たに入力されるアドレス空間識別子入力値およびバリッドビット入力値とを比較するアド

レス空間識別子比較判定部と、前記仮想アドレスを保持する仮想アドレス保持部と、前記仮想アドレス保持部に保持された仮想アドレス保持値と、新たに入力される仮想アドレス入力値とを比較する仮想アドレス比較判定部とを備え、前記仮想アドレス比較判定部は、前記アドレス空間識別子保持値および前記バリッドビット保持値と、前記アドレス空間識別子入力値および前記バリッドビット入力値とがそれぞれ一致する場合には、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行い、その結果に基づいて前記アドレス変換の実行、非実行を規定し、前記アドレス空間識別子保持値および前記バリッドビット保持値と、前記アドレス空間識別子入力値および前記バリッドビット入力値とがそれぞれ不一致の場合には、その出力ラインに予め定めた所定の値を出力する。

【 0 0 1 0 】

【発明の実施の形態】

< A . 実施の形態 1 >

< A - 1 . 装置構成 >

< A - 1 - 1 . 全体構成 >

まず、図 1 を用いて本発明に係る実施の形態 1 のトランシェーション・ルックアサイド・バッファ (T L B と呼称) 1 0 0 の構成について説明する。

【 0 0 1 1 】

図 1 に示すように、 T L B 1 0 0 は、動作を制御する制御部 8 0 5、仮想アドレスを保持するタグ部 8 0 6、タグ部 8 0 6 に保持された仮想アドレスに対応する物理アドレスを保持するデータ部 8 0 7 とを主たる構成として備えている。

【 0 0 1 2 】

制御部 8 0 5 には、外部にある C P U (図示せず) から出力される仮想アドレスが、仮想アドレス入力経路 8 0 1 を通して与えられ、また、アクセスがどのアドレス空間に対応するかを示すアドレス空間識別子 (A S I D と呼称) を保持する A S I D レジスタ 8 0 2 から、 A S I D が A S I D 入力経路 8 0 3 を通して与えられる。なお、 A S I D レジスタ 8 0 2 からは、 A S I D レジスタ 8 0 2 の内容が変更されたことを制御部 8 0 5 に通知する A S I D レジスタ変更通知信号 1 0 1 が与えられる構成となっている。

【 0 0 1 3 】

そして、制御部 8 0 5 からは、外部に向けて物理アドレスが物理アドレス出力経路 8 0 4 を通して出力される構成となっている。

【 0 0 1 4 】

また、制御部 8 0 5 とタグ部 8 0 6 との間は、制御部 8 0 5 からタグ部 8 0 6 に A S I D を入力する A S I D 送信経路 8 1 4、A S I D 比較判定動作を制御する A S I D 比較制御信号 2 0 3 の送信経路 1 0 3、制御部 8 0 5 からタグ部 8 0 6 に仮想アドレスを入力する仮想アドレス送信経路 8 1 5、制御部 8 0 5 からタグ部 8 0 6 にバリッドビットデータを入力するバリッドビットデータ送信経路 8 1 6、および制御部 8 0 5 からタグ部 8 0 6 に比較判定動作を制御する仮想アドレス比較制御信号 1 0 0 2 を入力する制御信号送信経路 8 1 8 によって接続されている。

【 0 0 1 5 】

また、制御部 8 0 5 とデータ部 8 0 7 との間は、データ部 8 0 7 から読み出された物理アドレスを制御部 8 0 5 に送る物理アドレス送信経路 8 2 1 によって接続されている。

【 0 0 1 6 】

< A - 1 - 2 . タグ部の構成 >

タグ部 8 0 6 は、組をなす A S I D および仮想アドレスを保持するタグエントリ部 8 0 8 を複数備えている。

【 0 0 1 7 】

そして、タグエントリ部 8 0 8 内には、A S I D を保持する A S I D 保持部 8 1 0、仮想アドレスを保持する仮想アドレス保持部 8 1 1、タグエントリ部 8 0 8 に保持されているデータが有効か否かの情報を保持するバリッドビット部 8 1 2、入力された A S I D と、タグエントリ部 8 0 8 内の A S I D 保持部 8 1 0 での保持内容との比較判定を行う A S I D 比較判定部 1 0 2、入力された仮想アドレスとタグエントリ部 8 0 8 内の仮想アドレス保持部 8 1 1 での保持内容および入力されたバリッドビットデータとバリッドビット部 8 1 2 での保持内容との比較判定を行う仮想アドレス比較判定部 1 0 4 とを備えている。

【 0 0 1 8 】

なお、ASID比較判定部102および仮想アドレス比較判定部104は各タグエントリ部808ごとに1つずつ備えられている。

【 0 0 1 9 】

ここで、ASID保持部810および仮想アドレス保持部811は、複数の連想メモリセル（CAMセルと呼称）813で構成され、バリッドビット部812は、1つのCAMセルで構成されている。なお、バリッドビット部812は、例えば、データを全く有さないタグエントリ部808においては、バリッドビット部812のCAMセル813にはデータ0を保持し、何らかのデータを有するタグエントリ部808においては、バリッドビット部812のCAMセル813にはデータ1を保持するなど、比較的簡単な情報によって、タグエントリ部808に保持されているデータが有効か否かを明示するものである。

【 0 0 2 0 】

そして、タグエントリ部808内のASID保持部810の複数のCAMセル813は、ASIDマッチライン105によって並列に接続されるとともに、ASID比較判定部102に接続されている。なお、ASIDマッチライン105は、ASIDの比較動作に際して使用される。

【 0 0 2 1 】

また、タグエントリ部808内の仮想アドレス保持部811の複数のCAMセル813およびバリッドビット部812内のCAMセル813は、仮想アドレスマッチライン106によって並列に接続されるとともに、そのタグエントリ808に対応する仮想アドレス比較判定部104に接続されている。なお、仮想アドレスマッチライン106は、仮想アドレスおよびバリッドビットの比較動作に際して使用される。

【 0 0 2 2 】

また、ASID比較判定部102からは、仮想アドレス比較判定部104にASID有効信号107が与えられる構成となっている。

【 0 0 2 3 】

< A - 1 - 3 . データ部の構成 >

データ部 8 0 7 は、1 つの物理アドレスのデータを保持するデータエントリ部 8 0 9 を複数備えており、データエントリ部 8 0 9 の個数は、タグ部 8 0 6 におけるタグエントリ部 8 0 8 と同数であり、1 つのデータエントリ部 8 0 9 と 1 つのタグエントリ部 8 0 8 とで、対になって動作する。

【 0 0 2 4 】

すなわち、個々のデータエントリ部 8 0 9 に対して、タグとして機能するものが対をなすタグエントリ部 8 0 8 であり、タグ部 8 0 6 内の各タグエントリ部 8 0 8 における仮想アドレスマッチライン 1 0 6 の値は、比較結果通知経路 8 2 0 を介してデータ部 8 0 7 に送られ、タグエントリ部 8 0 8 と対をなすデータエントリ部 8 0 9 に与えられる。

【 0 0 2 5 】

< A - 1 - 4 . A S I D 比較判定部の構成 >

図 2 に A S I D 比較判定部 1 0 2 の回路構成の一例を示す。図 2 に示すように A S I D 比較判定部 1 0 2 は、P チャネル型の MOS トランジスタ 2 0 1 と、ラッチ 2 0 2 とを備えている。

【 0 0 2 6 】

MOS トランジスタ 2 0 1 のソースは電源 P S に、ドレインは A S I D マッチライン 1 0 5 に各々接続される。また、MOS トランジスタ 2 0 1 のゲートは、A S I D 比較動作を制御する A S I D 比較制御信号 2 0 3 （比較制御信号）が与えられる。

【 0 0 2 7 】

また、ラッチ 2 0 2 の制御入力端子（C）には、A S I D 比較制御信号 2 0 3 が与えられ、データ入力端子（D）は、A S I D マッチライン 1 0 5 に接続される。

【 0 0 2 8 】

そして、ラッチ 2 0 2 の出力端子（O）からは、A S I D 有効信号 1 0 7 が出力され、仮想アドレス比較判定部 1 0 4 に与えられる。

【 0 0 2 9 】

< A - 1 - 5 . 仮想アドレス比較判定部の構成 >

図 3 に仮想アドレス比較判定部 1 0 4 の回路構成の一例を示す。図 3 に示すように、仮想アドレス比較判定部 1 0 4 は、Pチャネル型のMOSトランジスタ 3 0 1、Nチャネル型のMOSトランジスタ 3 0 2、インバータ 3 0 3 およびORゲート 3 0 4 を備えている。

【0 0 3 0】

MOSトランジスタ 3 0 1 のソースは電源 P S に、ドレインは仮想アドレスマッチライン 1 0 6 に接続され、MOSトランジスタ 3 0 2 のソースはグランド G N D に、ドレインは仮想アドレスマッチライン 1 0 6 に接続されている。

【0 0 3 1】

インバータ 3 0 3 の入力には A S I D 有効信号 1 0 7 が与えられ、その出力は MOSトランジスタ 3 0 2 のゲートおよびORゲート 3 0 4 の一方の入力に接続される。

【0 0 3 2】

また、ORゲート 3 0 4 の他方の入力には、比較動作を制御する仮想アドレス比較制御信号 1 0 0 2 (比較制御信号) が与えられ、その出力は MOSトランジスタ 3 0 1 のゲートに接続され、インバータ 3 0 3 の出力は Nチャネルトランジスタ 3 0 2 のゲートに接続される。ここで、仮想アドレス比較制御信号 1 0 0 2 は、制御部 8 0 5 から制御信号送信経路 8 1 8 を介してタグ部 8 0 6 の各タグエントリ部 8 0 8 に対応する仮想アドレス比較判定部 1 0 4 に与えられる信号である。

【0 0 3 3】

< A - 1 - 6 . C A M セルの構成 >

図 4 に C A M セル 8 1 3 の回路構成の一例を示す。図 4 に示すように、C A M セル 8 1 3 は、T L B 1 0 0 の動作状態に応じて、A S I D、仮想アドレスおよびバリッドビットデータの何れかを保持するメモリ回路 9 0 1 と、C M O S トランスミッションゲート (以下 T G と呼称) 9 0 3 A および 9 0 3 B と、Nチャネル型の MOS トランジスタ 9 0 5 とを備えている。

【0 0 3 4】

メモリ回路 9 0 1 は、ワード線 W L にゲートが接続された Nチャネル型の M O

Sトランジスタ9011および9012と、逆並列に接続されたインバータ9013および9014を有している。

【0035】

インバータ9013の入力およびインバータ回路9014の出力はMOSトランジスタ9011のソースに接続され、MOSトランジスタ9011のドレインは、ビット線BL1に接続されている。また、インバータ9013の出力およびインバータ回路9014の入力はMOSトランジスタ9012のソースに接続され、MOSトランジスタ9012のドレインは、ビット線BL2に接続されている。

【0036】

そして、MOSトランジスタ9011のソースからは、メモリ回路901が保持する値の正論理値を示すメモリ正信号902Aが出力され、また、MOSトランジスタ9012のソースからは、メモリ回路901が保持する値の負論理値を示すメモリ負信号902Bが出力される。

【0037】

また、メモリ正信号902Aは、TG903Aを構成するPチャネル型のMOSトランジスタのゲートおよび、TG903Bを構成するNチャネル型のMOSトランジスタのゲートに与えられる構成となっている。

【0038】

また、メモリ正信号902Bは、TG903Aを構成するNチャネル型のMOSトランジスタのゲートおよび、TG903Bを構成するPチャネル型のMOSトランジスタのゲートに与えられる構成となっている。

【0039】

そして、TG903Aのソースには比較正信号904Aが、TG903Bのソースには比較負信号904Bが与えられ、TG903AおよびTG903BのドレインはMOSトランジスタ905のゲートに接続されている。

【0040】

ここで、比較正信号904Aは、制御部805から入力されるASIDもしくは仮想アドレスもしくはバリッドビットデータの正論理値を示す信号である。

【 0 0 4 1 】

また、比較負信号 9 0 4 B は、制御部 8 0 5 から入力される A S I D もしくは仮想アドレスもしくはバリッドビットデータの負論理値を示す信号である。

【 0 0 4 2 】

なお、M O S トランジスタ 9 0 5 のドレインは A S I D マッチライン 1 0 5 （または仮想アドレスマッチライン 1 0 6 ）に接続され、ソースはグランド G N D に接続される。

【 0 0 4 3 】

< A - 2 . 装置動作 >

次に T L B 1 0 0 の動作について、図 1 ～図 3 を参照しつつ説明する。

まず、T L B 1 0 0 がアドレス変換動作を行っていないときは、制御部 8 0 5 から A S I D 比較制御信号送信経路 1 0 3 を介してタグ部 8 0 6 の各タグエントリ部 8 0 8 の A S I D 比較判定部 1 0 2 に与えられる A S I D 比較制御信号が L レベル（低電位レベル）になっている。

【 0 0 4 4 】

このため、A S I D 比較判定部 1 0 2 （図 2 ）の M O S トランジスタ 2 0 1 がオン状態となり、A S I D マッチライン 1 0 5 が H レベル（高電位レベル）にチャージされている。

【 0 0 4 5 】

そして、A S I D レジスタ 8 0 2 の内容が書き換えられた場合、A S I D レジスタ変更通知信号 1 0 1 により A S I D レジスタ 8 0 2 の内容が書き換えられたことが制御部 8 0 5 に通知される。

【 0 0 4 6 】

A S I D レジスタ 8 0 2 の内容が書き換えられたことが制御部 8 0 5 に通知された場合、もしくはタグ部 8 0 6 の何れかのタグエントリ部 8 0 8 の A S I D 保持部 8 1 0 の保持内容が変更された場合、制御部 8 0 5 は A S I D 比較動作を開始する。

【 0 0 4 7 】

すなわち、A S I D レジスタ 8 0 2 の内容が書き換えられた場合を例に採れば

、制御部 8 0 5 は、複数のタグエントリ部 8 0 8 の全てに対して、書き換えられた A S I D レジスタ 8 0 2 の内容（A S I D 入力値）と、A S I D 保持部 8 1 0 の保持内容（A S I D 保持値）との比較動作（A S I D 比較動作）を実行する。

【 0 0 4 8 】

なお、A S I D 保持部 8 1 0 の保持内容が変更される場合とは、タグエントリ部 8 0 8 内のデータを書き換えるような場合であり、A S I D レジスタ 8 0 2 の書き換えとは異なる動作である。

【 0 0 4 9 】

A S I D 比較動作を行う場合、A S I D レジスタ 8 0 2 に保持されている A S I D が A S I D 入力経路 8 0 3 を介して制御部 8 0 5 に入力される。また、A S I D 比較動作を行う場合、制御部 8 0 5 から A S I D 比較制御信号送信経路 1 0 3 を介してタグ部 8 0 6 の各タグエントリ部 8 0 8 の A S I D 比較判定部 1 0 2 に与えられる A S I D 比較制御信号が H レベルになっている。

【 0 0 5 0 】

A S I D 比較制御信号が H レベルになると、A S I D 比較判定部 1 0 2 の P チャンネルトランジスタ 2 0 1 がオフ状態になる。

【 0 0 5 1 】

次に、制御部 8 0 5 から A S I D 送信経路 8 1 4 を介して A S I D がタグ部 8 0 6 に与えられ、各タグエントリ部 8 0 8 の A S I D 保持部 8 1 0 の複数の C A M セル 8 1 3 に与えられる。

【 0 0 5 2 】

なお、A S I D 保持部 8 1 0 に与えられる A S I D は、各々の対応する C A M セル 8 1 3（図 4）に、その正論理値が比較正信号 9 0 4 A として、その負論理値が比較負信号 9 0 4 B として与えられる。

【 0 0 5 3 】

< A - 2 - 1. C A M セル、タグ部の動作 >

C A M セル 8 1 3 では、メモリ回路 9 0 1 がデータ 1 を保持している場合はメモリ正信号 9 0 2 A が H レベルに、メモリ負信号 9 0 2 B が L レベルになっており、メモリ回路 9 0 1 がデータ 0 を保持している場合にはメモリ正信号 9 0 2 A

がLレベルに、メモリ負信号902BがHレベルになっている。

【0054】

そして、メモリ回路901が、データ1を保持している場合はTG903Aがオフ状態でTG903Bがオン状態に、データ0を保持している場合はTG903Aがオン状態でTG903Bがオフ状態になっている。

【0055】

従って、メモリ回路901が、データ1を保持している場合には比較負信号904BがTG903Bを介してMOSトランジスタ905のゲートに与えられ、データ0を保持している場合には比較正信号904AがTG903Aを介してMOSトランジスタ905のゲートに与えられる。

【0056】

このため、メモリ回路901がデータ1を保持している場合に、比較値が1のとき、すなわち、比較正信号904AがHレベルで比較負信号904BがLレベルのときは、MOSトランジスタ905のゲートがLレベルとなり、MOSトランジスタ905がオフ状態となる。

【0057】

また、メモリ回路901がデータ0を保持している場合に、比較値が0のとき、すなわち比較正信号904AがLレベルで比較負信号904BがHレベルのときは、MOSトランジスタ905のゲートがLレベルとなり、MOSトランジスタ905はオフ状態となる。

【0058】

一方、メモリ回路901がデータ1を保持している場合に、比較値が0のとき、すなわち比較正信号904AがLレベルで比較負信号904BがHレベルのときは、MOSトランジスタ905のゲートがHレベルとなり、MOSトランジスタ905がオン状態となる。

【0059】

また、メモリ回路901がデータ0を保持している場合に、比較値が1のとき、すなわち比較正信号904AがHレベルで比較負信号904BがLレベルのときは、Nチャネルトランジスタ905のドレインがHレベルとなりMOSトラン

ジスタ 9 0 5 はオン状態となる。

【 0 0 6 0 】

つまり、メモリ回路 9 0 1 の保持値と比較値が一致しているときは、M O S トランジスタ 9 0 5 がオフ状態となり、不一致の場合は M O S トランジスタ 9 0 5 がオン状態となる。

【 0 0 6 1 】

この結果、A S I D マッチライン 1 0 5 は、A S I D 保持部 8 1 0 内の全ての C A M セル 8 1 3 でメモリ回路 9 0 1 の保持値と比較値とが一致している場合は、各 C A M セル 8 1 3 内の M O S トランジスタ 9 0 5 がオフ状態となるので H レベルを維持する。一方、A S I D 保持部 8 1 0 内の複数の C A M セル 8 1 3 のうち、1 つでもメモリ回路 9 0 1 の保持値と比較値とが不一致の場合は、不一致の C A M セル 8 1 3 内の M O S トランジスタ 9 0 5 がオン状態になっているので、H レベルから L レベルにディスチャージされる。

【 0 0 6 2 】

例えば、A S I D 保持部 8 1 0 では、保持している A S I D と入力される A S I D とが全て一致した場合には、A S I D マッチライン 1 0 5 は H レベルを維持し、保持している A S I D と入力される A S I D とが 1 つでも不一致の場合には、A S I D マッチライン 1 0 5 は L レベルにディスチャージされることになる。

【 0 0 6 3 】

同様に、仮想アドレス保持部 8 1 1 においては、保持している仮想アドレスと入力される仮想アドレスとが全て一致した場合には、仮想アドレスマッチライン 1 0 6 は H レベルを維持し、保持している仮想アドレスと入力される仮想アドレスとが 1 つでも不一致の場合には、仮想アドレスマッチライン 1 0 6 は L レベルにディスチャージされることになる。

【 0 0 6 4 】

< A - 2 - 2 . A S I D 比較判定部、仮想アドレス比較判定部の動作 >

制御部 8 0 5 から A S I D 比較制御信号送信経路 1 0 3 を介してタグ部 8 0 6 に与えられる A S I D 比較制御信号が H レベルの場合、各タグエントリ部 8 0 8 内の A S I D 比較判定部 1 0 2 に接続されている A S I D 比較制御信号 2 0 3 (

図 2) が H レベルとなる。

【 0 0 6 5 】

A S I D 比較判定部 1 0 2 内のラッチ 2 0 2 は、A S I D マッチライン 1 0 5 の値を取り込み、A S I D 比較動作が終了し A S I D 比較制御信号 2 0 3 が L レベルになると、取り込んだ A S I D マッチライン 1 0 5 の値を保持する。

【 0 0 6 6 】

ラッチ 2 0 2 の出力端子 (O) からは、A S I D 有効信号 1 0 7 が出力され、この A S I D 比較判定部 1 0 2 を有するタグエントリ部 8 0 8 に対応して設けられた仮想アドレス比較判定部 1 0 4 に入力される。

【 0 0 6 7 】

すなわち、A S I D 比較動作の結果、入力された A S I D と保持している A S I D が一致するタグエントリ部 8 0 8 では、その A S I D マッチライン 1 0 5 は H レベルを維持し、H レベルの A S I D 有効信号 1 0 7 が、対応する仮想アドレス比較判定部 1 0 4 に入力される。

【 0 0 6 8 】

一方、入力された A S I D と保持している A S I D が不一致のタグエントリ部 8 0 8 では、その A S I D マッチライン 1 0 5 は L レベルにディスチャージされ、L レベルの A S I D 有効信号 1 0 7 が、対応する仮想アドレス比較判定部 1 0 4 に入力される。

【 0 0 6 9 】

仮想アドレス比較判定部 1 0 4 では、A S I D 有効信号 1 0 7 が L レベルの場合、インバータ 3 0 3 (図 3) および OR ゲート 3 0 4 を介して MOS トランジスタ 3 0 1 のゲートには H レベルの信号が与えられ、また、インバータ 3 0 3 を介して、MOS トランジスタ 3 0 2 のゲートには H レベルの信号が与えられる。

【 0 0 7 0 】

従って、MOS トランジスタ 3 0 1 はオフ状態に、MOS トランジスタ 3 0 2 はオン状態になり、仮想アドレスマッチライン 1 0 6 は MOS トランジスタ 3 0 2 を介してディスチャージされて L レベルになる。

【 0 0 7 1 】

また、ASID有効信号107がHレベルの場合、インバータ303を介してMOSトランジスタ302のゲートにはLレベルの信号が与えられ、また、ORゲート304を介してMOSトランジスタ301のゲートには仮想アドレス比較制御信号1002と同レベルの信号が与えられる。

【0072】

従って、MOSトランジスタ302はオフ状態になり、MOSトランジスタ301は、仮想アドレス比較制御信号1002がLレベルの場合はオン状態になり、仮想アドレス比較制御信号1002がHレベルの場合はオフ状態になる。

【0073】

なお、TLB100がアドレス変換動作をしていないときは、仮想アドレス比較制御信号1002がLレベルになっている。

【0074】

このため、ASID有効信号107がHレベルのタグエントリ部808に対応する仮想アドレス比較判定部104では、MOSトランジスタ301がオン状態となり、仮想アドレスマッチライン106がHレベルにチャージされている。

【0075】

一方、ASID有効信号107がLレベルのタグエントリ部808に対応する仮想アドレス比較判定部104では、MOSトランジスタ302がオン状態となり仮想アドレスマッチライン106はLレベルにディスチャージされている。

【0076】

なお、電源PS、MOSトランジスタ301およびそれらを接続するとともに、MOSトランジスタ301のドレインを仮想アドレスマッチライン106に接続する配線等で構成する回路は、機能的には出力ラインでもある仮想アドレスマッチライン106をチャージするためのチャージ回路であると言うことができ、また、ORゲート304と、それらの入力ラインおよび出力ライン等で構成する回路は、機能的には出力ラインでもある仮想アドレスマッチライン106へのチャージを禁止するチャージ禁止回路であると言うことができる。

【0077】

< A - 2 - 3 . 仮想アドレスから物理アドレスへの変換 >

仮想アドレスから物理アドレスへの変換を行うのに先だって、仮想アドレス比較判定部 1 0 4 において仮想アドレスの比較動作を行う。

【 0 0 7 8 】

そのために、まず仮想アドレスが仮想アドレス入力経路 8 0 1 を介して制御部 8 0 5 に入力される。次に、制御部 8 0 5 から制御信号送信経路 8 1 8 を介して各仮想アドレス比較判定部 1 0 4 に与えられる仮想アドレス比較制御信号 1 0 0 2 が H レベルとなり、M O S トランジスタ 3 0 1 (図 3) がオフ状態になる。このとき、既に M O S トランジスタ 3 0 2 はオフ状態になっているので、仮想アドレスマッチライン 1 0 6 は H レベルを維持した状態でフローティング状態となる。

【 0 0 7 9 】

次に、仮想アドレスが制御部 8 0 5 から仮想アドレス送信経路 8 1 5 を介してタグ部 8 0 6 の各タグエントリ部 8 0 8 に入力され、各仮想アドレス保持部 8 1 1 の複数の C A M セル 8 1 3 に与えられる。

【 0 0 8 0 】

また、バリッドビットデータが制御部 8 0 5 からバリッドビットデータ送信経路 8 1 6 を介してタグ部 8 0 6 に入力され、各タグエントリ部 8 0 8 のバリッドビット部 8 1 2 の C A M セル 8 1 3 に与えられる。

【 0 0 8 1 】

なお、仮想アドレス保持部 8 1 1 およびバリッドビット部 8 1 2 に与えられる仮想アドレスおよびバリッドビットデータは、各々の対応する C A M セル 8 1 3 に、その正論理値が比較正信号 9 0 4 A として、その負論理値が比較負信号 9 0 4 B として与えられる。

【 0 0 8 2 】

そして、仮想アドレス保持部 8 1 1 およびバリッドビット部 8 1 2 内の C A M セル 8 1 3 では、先に説明した動作で、保持値と比較値との比較が行われる。

【 0 0 8 3 】

すなわち、各タグエントリ部 8 0 8 の仮想アドレスマッチライン 1 0 6 は、そのタグエントリ部 8 0 8 の仮想アドレス保持部 8 1 1 およびバリッドビット部 8

1 2に含まれる全てのCAMセル8 1 3において、メモリ回路9 0 1の保持値と比較値が一致している場合はHレベルを維持し、1つでも不一致の場合はLレベルにディスチャージされる。

【0 0 8 4】

つまり、各タグエントリ部8 0 8ごとに保持している仮想アドレスおよびバリッドビットデータと、入力される仮想アドレスおよびバリッドビットデータが全て一致した場合は、仮想アドレスマッチライン1 0 6はHレベルを維持し、1つでも不一致の場合は、仮想アドレスマッチライン1 0 6はLレベルにディスチャージされる。そして、仮想アドレス比較判定部1 0 4での比較動作の結果、仮想アドレスマッチライン1 0 6がHレベルを維持する場合、そのタグエントリ部8 0 8が、入力されたASIDおよび仮想アドレスに対応する物理アドレスを有するデータエントリ部8 0 9のタグであるということになる。

【0 0 8 5】

仮想アドレスの比較動作が終わると、所定のタイミングで仮想アドレスマッチライン1 0 6の値（ここではHレベル）が、比較結果通知経路8 2 0を介してデータ部8 0 7に与えられ、Hレベルが与えられたデータエントリ部8 0 9に保持された物理アドレスが物理アドレス送信経路8 2 1を介して制御部8 0 5に送られ、さらに物理アドレス出力経路8 0 4を介して出力され、仮想アドレスから物理アドレスへの変換が実行される。なお出力された物理アドレスは、外部のキャッシュメモリや周辺回路に与えられる。

【0 0 8 6】

なお、仮想アドレスの比較動作の結果、保持値と比較値とが一致しない場合は、仮想アドレスマッチライン1 0 6はLレベルにディスチャージされ、当該タグエントリ部8 0 8は、入力されたASIDおよび仮想アドレスに対応する物理アドレスを有するデータエントリ部8 0 9のタグではないということになる。また、仮想アドレスマッチライン1 0 6はLレベルであるので、データ部8 0 7に与えられてもアドレス変換は実行されない。

【0 0 8 7】

なお、仮想アドレスマッチライン1 0 6は、仮想アドレス保持部8 1 1および

バリッドビット部 8 1 2 での保持値と比較値とが不一致の場合は L レベルにディスチャージされるとして説明したが、一致する場合に L レベルにディスチャージするように構成することも可能であり、本発明は、その場合にも適用可能である。

【 0 0 8 8 】

< A - 3 . 効果 >

以上説明したように、TLB 1 0 0 においては、ASID 保持部 8 1 0 に入力された ASID と、保持された ASID との比較結果を出力する ASID マッチライン 1 0 5 を設けるとともに、仮想アドレス保持部 8 1 1 およびバリッドビット部 8 1 2 に入力された仮想アドレスおよびバリッドビットデータと、保持された仮想アドレスおよびバリッドビットデータとの比較結果を出力する仮想アドレスマッチライン 1 0 6 とを設け、ASID マッチライン 1 0 5 には ASID 比較判定部 1 0 2 を接続したので、ASID レジスタ 8 0 2 の内容が書き換えられた場合、もしくは何れかのタグエントリ部 8 0 8 の ASID 保持部 8 1 0 の保持内容が変更された場合に、ASID についてのみ比較動作を行うことができる。

【 0 0 8 9 】

また、仮想アドレスから物理アドレスへの変換動作を行う際には、仮想アドレスおよびバリッドビットデータについてのみ比較動作を行うことになる。

【 0 0 9 0 】

この結果、仮想アドレスから物理アドレスへの変換動作を行う際には、仮想アドレス保持部 8 1 1 およびバリッドビット部 8 1 2 の配線容量およびディスチャージトランジスタ（各 CAM セル 8 1 3 内の MOS トランジスタ 9 0 5）のドレイン容量に対する電荷のみをディスチャージすればよく、ASID 保持部 8 1 0 の配線容量およびディスチャージトランジスタのドレイン容量に対する電荷についてはディスチャージせずに済むので消費電力を減らすことができ、また比較速度も向上させることができる。

【 0 0 9 1 】

また、ASID 比較結果を ASID 有効信号 1 0 7 として仮想アドレス比較判定部 1 0 4 に与えることで、ASID の比較結果が不一致の場合、仮想アドレス

マッチライン 1 0 6 を L レベルに固定し、仮想アドレスから物理アドレスへの変換動作を行う際には A S I D の比較結果が一致したタグエントリ部 8 0 8 のみ仮想アドレスの比較対象にするように仮想アドレス比較判定部 1 0 4 を構成したので、A S I D の比較結果が不一致のタグエントリ部 8 0 8 の仮想アドレスマッチライン 1 0 6 のディスチャージによる消費電力を削減することができる。

【0 0 9 2】

< B . 実施の形態 2 >

< B - 1 . 装置構成 >

図 5 を用いて本発明に係る実施の形態 2 の T L B 2 0 0 の構成について説明する。なお、図 1 に示した T L B 1 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【0 0 9 3】

図 5 に示すように、T L B 2 0 0 は、各タグエントリ部 8 0 8 において、A S I D アドレスマッチライン 4 0 1 によって、A S I D 保持部 8 0 8 の複数の C A M セル 8 1 3 と、バリッドビット部 8 1 2 の C A M セル 8 1 3 とが並列に接続されるとともに、A S I D 比較判定部 1 0 2 A にも接続されている。

【0 0 9 4】

また、仮想アドレス保持部 8 1 1 の複数の C A M セル 8 1 3 と、当該仮想アドレス保持部 8 1 1 を含むタグエントリ部 8 0 8 に対応する仮想アドレス比較判定部 1 0 4 A とが、仮想アドレスマッチライン 4 0 2 によって接続されている。

【0 0 9 5】

ここで、A S I D 比較判定部 1 0 2 A は、タグエントリ部 8 0 8 に入力された A S I D およびバリッドビットデータと、A S I D 保持部 8 1 0 およびバリッドビット部 8 1 2 での保持内容との比較判定を行い、仮想アドレス比較判定部 1 0 4 A は、タグエントリ部 8 0 8 に入力された仮想アドレスと仮想アドレス保持部 8 1 1 の保持内容との比較判定を行う。

【0 0 9 6】

なお、A S I D 比較判定部 1 0 2 A の構成は、図 2 を用いて説明した A S I D 比較判定部 1 0 2 と同様であるが、A S I D アドレスマッチライン 1 0 5 が A S

I D アドレスマッチライン 4 0 1 に代わることになる。

【 0 0 9 7 】

また、仮想アドレス比較判定部 1 0 4 A の構成は、図 3 を用いて説明した仮想アドレス比較判定部 1 0 4 と同様であるが、仮想アドレスマッチライン 1 0 6 が仮想アドレスマッチライン 4 0 2 に代わることになる。

【 0 0 9 8 】

< B - 2 . 装置動作 >

次に T L B 2 0 0 の動作について、図 5 を参照しつつ説明する。なお、アドレス変換動作を行っていない場合の動作は T L B 1 0 0 と同じであるので説明は省略する。

【 0 0 9 9 】

A S I D レジスタ 8 0 2 の内容が書き換えられた場合、A S I D レジスタ変更通知信号 1 0 1 により A S I D レジスタ 8 0 2 の内容が書き換えられたことが制御部 8 0 5 に通知される。

【 0 1 0 0 】

A S I D レジスタ 8 0 2 の内容が書き換えられたことが制御部 8 0 5 に通知された場合、もしくはタグ部 8 0 6 の何れかのタグエントリ部 8 0 8 の A S I D 保持部 8 1 0 の保持内容が変更された場合、制御部 8 0 5 は A S I D 比較動作を開始する。

【 0 1 0 1 】

A S I D 比較動作を行う場合、A S I D レジスタ 8 0 2 に保持されている A S I D が A S I D 入力経路 8 0 3 を介して制御部 8 0 5 に入力される。また、A S I D 比較動作を行う場合、制御部 8 0 5 から A S I D 比較制御信号送信経路 1 0 3 を介してタグ部 8 0 6 の各タグエントリ部 8 0 8 の A S I D 比較判定部 1 0 2 に与えられる A S I D 比較制御信号が H レベルになっている。

【 0 1 0 2 】

A S I D 比較制御信号が H レベルになると、A S I D 比較判定部 1 0 2 の P チャネルトランジスタ 2 0 1 がオフ状態になる。

【 0 1 0 3 】

次に、制御部 8 0 5 から A S I D 送信経路 8 1 4 を介して A S I D がタグ部 8 0 6 に与えられ、各タグエントリ部 8 0 8 の A S I D 保持部 8 1 0 の複数の C A M セル 8 1 3 に与えられる。

【 0 1 0 4 】

また、バリッドビットデータが制御部 8 0 5 からバリッドビットデータ送信経路 8 1 6 を介してタグ部 8 0 6 に入力され、各タグエントリ部 8 0 8 のバリッドビット部 8 1 2 の C A M セル 8 1 3 に与えられる。

【 0 1 0 5 】

なお、A S I D 保持部 8 1 0 およびバリッドビット部 8 1 2 に与えられる A S I D およびバリッドビットデータは、各々の対応する C A M セル 8 1 3 (図 4) に、その正論理値が比較正信号 9 0 4 A として、その負論理値が比較信号 9 0 4 B として与えられる。

【 0 1 0 6 】

なお、A S I D 保持部 8 1 0 およびバリッドビット部 8 1 2 内の C A M セル 8 1 3 では先に説明した動作で、保持値と比較値との比較が行われる。

【 0 1 0 7 】

すなわち、各タグエントリ部 8 0 8 の A S I D マッチライン 4 0 1 は、そのタグエントリ部 8 0 8 の A S I D 保持部 8 1 0 およびバリッドビット部 8 1 2 に含まれる全ての C A M セル 8 1 3 において、メモリ回路 9 0 1 の保持値と比較値が一致している場合は H レベルを維持し、C A M セル 8 1 3 うちの 1 つでもメモリ回路 9 0 1 の保持値と比較値が不一致の場合は L レベルにディスチャージされる。

【 0 1 0 8 】

つまり、各タグエントリ部 8 0 8 ごとに保持している A S I D およびバリッドビットデータと、入力される A S I D およびバリッドビットデータとが一致した場合は、A S I D マッチライン 4 0 1 は H レベルを維持し、不一致の場合は、A S I D マッチライン 4 0 1 は L レベルにディスチャージされる。

【 0 1 0 9 】

なお、A S I D 比較判定部 1 0 2 A の動作は、実施の形態 1 で説明した A S I

D比較判定部102と同様であり、重複する説明は省略するが、ASID比較動作の結果、入力されたASIDおよびバリッドビットデータと保持しているASIDおよびバリッドビットデータとが一致するタグエントリ部808では、そのASIDマッチライン401はHレベルを維持し、HレベルのASID有効信号107が、対応する仮想アドレス比較判定部104Aに入力される。

【0110】

一方、入力されたASIDおよびバリッドビットデータと保持しているASIDおよびバリッドビットデータとが不一致のタグエントリ部808では、そのASIDマッチライン401はLレベルにディスチャージされ、LレベルのASID有効信号107が、対応する仮想アドレス比較判定部104Aに入力される。

【0111】

なお、アドレス変換動作をしていないときの仮想アドレス比較判定部104Aの動作は、実施の形態1で説明した仮想アドレス比較判定部104Aと同様であり、重複する説明は省略する。

【0112】

仮想アドレスから物理アドレスへの変換を行うのに先だって、仮想アドレス比較判定部104Aにおいて仮想アドレスの比較動作を行う。そのために、まず仮想アドレスが仮想アドレス入力経路801を介して制御部805に入力される。次に、制御部805から制御信号送信経路818を介して各仮想アドレス比較判定部104に与えられる仮想アドレス比較制御信号1002がHレベルとなり、Pチャネルトランジスタ301（図3）がオフ状態になる。このとき、既にMOSトランジスタ302はオフ状態になっているので、仮想アドレスマッチライン402はHレベルを維持した状態でフローティング状態となる。

【0113】

次に、仮想アドレスが制御部805から仮想アドレス送信経路815を介してタグ部806の各タグエントリ部808に入力され、各仮想アドレス保持部811の複数のCAMセル813に与えられる。

【0114】

なお、仮想アドレス保持部811に与えられる仮想アドレスは、各々の対応す

るCAMセル813に、その正論理値が比較正信号904Aとして、その負論理値が比較負信号904Bとして与えられる。

【0115】

そして、仮想アドレス保持部811内のCAMセル813では、先に説明した動作で、保持値と比較値との比較が行われる。

【0116】

すなわち、各タグエントリ部808の仮想アドレスマッチライン402は、そのタグエントリ部808の仮想アドレス保持部811内の全てのCAMセル813において、メモリ回路901の保持値と比較値が一致している場合はHレベルを維持し、CAMセル813のうち、1つでもメモリ回路901の保持値と比較値が不一致の場合はLレベルにディスチャージされる。

【0117】

仮想アドレスの比較動作が終わると、所定のタイミングで仮想アドレスマッチライン402の値（ここではHレベル）が、比較結果通知経路820を介してデータ部807に与えられ、Hレベルが与えられたデータエントリ部809に保持された物理アドレスが物理アドレス送信経路821を介して制御部805に送られ、さらに物理アドレス出力経路804を介して出力され、仮想アドレスから物理アドレスへの変換が終了する。

【0118】

なお、仮想アドレスマッチライン402は、仮想アドレス保持部811での保持値と比較値とが不一致の場合はLレベルにディスチャージされるとして説明したが、一致する場合にLレベルにディスチャージするように構成することも可能であり、本発明は、その場合にも適用可能である。

【0119】

< B - 3 . 効果 >

以上説明したように、TLB200においては、ASID保持部810およびバリッドビット部812に入力されたASIDおよびバリッドビットデータと、保持されたASIDおよびバリッドビットデータとの比較結果を出力するASIDマッチライン401を設けるとともに、仮想アドレス保持部811に入力され

た仮想アドレスと、保持された仮想アドレスとの比較結果を出力する仮想アドレスマッチライン402とを設け、ASIDマッチライン401にはASID比較判定部102を接続したので、ASIDレジスタ802の内容が書き換えられた場合、もしくは何れかのタグエントリ部808のASID保持部810の保持内容もしくはバリッドビット部812の保持内容が変更された場合に、ASIDおよびバリッドデータについてのみ比較動作を行うことができる。

【0120】

また、仮想アドレスから物理アドレスへの変換動作を行う際には仮想アドレスのみ比較動作を行うことができる。

【0121】

この結果、仮想アドレスから物理アドレスへの変化の動作を行う際には、仮想アドレス保持部811の配線容量およびディスチャージトランジスタ（各CAMセル813内のMOSトランジスタ905）のドレイン容量に対する電荷のみをディスチャージすればよく、ASID保持部810の配線容量およびディスチャージトランジスタのドレイン容量に対する電荷についてはディスチャージせずに済むので消費電力を減らすことができ、また比較速度も向上させることができる。

【0122】

なお、ASIDレジスタ802が変更される頻度は、仮想アドレスから物理アドレスへの変換動作を行う頻度に比べて少なく、ASIDおよびバリッドデータについて比較動作を行うとしても、消費電力の増加による影響は少ない。

【0123】

また、ASID比較時にASIDに加えてバリッドビットデータも比較するようにしたので、各タグエントリ部808の内、保持内容が有効でかつ保持しているASIDがASIDレジスタ802の内容と一致している場合のみASID有効信号107をHレベルに、それ以外の場合をLレベルにできる。

【0124】

このASID有効信号107を仮想アドレス比較判定部104Aに与えることで、保持内容が無効、または保持しているASIDがASIDレジスタ802の

内容と不一致の場合、仮想アドレスマッチライン402をLレベルに固定し、仮想アドレスから物理アドレスへの変換動作を行う際には保持内容が有効でかつ、保持しているASIDがASIDレジスタ802の値と一致したタグエントリ部808のみ仮想アドレスの比較対象とするように、仮想アドレス比較判定部104を構成したので、保持内容が無効または保持しているASIDの比較結果が不一致のタグエントリ部808の仮想アドレスマッチライン402のディスチャージによる消費電力を削減することができる。

【0125】

<C. 実施の形態3>

<C-1. 装置構成>

<C-1-1. 全体構成>

図6を用いて本発明に係る実施の形態3のTLB300の構成について説明する。なお、図1に示したTLB100と同一の構成については同一の符号を付し、重複する説明は省略する。

【0126】

図5に示すように、TLB300は、TLB100におけるASID比較判定部102に代えて、ASID比較判定部501を有している。そして、ASID比較判定部501には、テストデータ制御信号502（選択制御信号）およびテストデータ入力信号503（外部信号）が与えられる構成となっている。

【0127】

ここで、テストデータ制御信号502およびテストデータ入力信号503は、例えば、半導体チップ上に設けたテスト用回路や、チップ外部のテストなどから与えられるTLBの動作テストのための信号である。

【0128】

また、ASID比較判定部501においては、ASID比較判定部102と同様にASID有効信号107が生成されるが、ASID有効信号107は、仮想アドレス比較判定部104に与えられるだけでなく、外部にも出力される構成となっている。

【0129】

なお、A S I D有効信号 1 0 7 を外部に出力する経路および外部からテストデータ入力信号 5 0 3 を入力する経路を含めて、テストデータ入出力経路 5 0 4 と呼称する。

【 0 1 3 0 】

< C - 1 - 2 . A S I D比較判定部の構成 >

図 7 に A S I D比較判定部 5 0 1 の回路構成の一例を示す。図 7 に示すように A S I D比較判定部 5 0 1 は、Pチャネル型のMOSトランジスタ 2 0 1 と、ラッチ 2 0 2 と、セクタ 6 0 1 と、ORゲート 6 0 2 とを備えている。

【 0 1 3 1 】

MOSトランジスタ 2 0 1 のソースは電源 P S に、ドレインは A S I Dマッチライン 1 0 5 に各々接続される。また、MOSトランジスタ 2 0 1 のゲートには、A S I D比較動作を制御する A S I D比較制御信号 2 0 3 が与えられる。

【 0 1 3 2 】

セクタ 6 0 1 には、選択動作の制御信号としてテストデータ制御信号 5 0 2 が入力され、入力信号として、A S I Dマッチライン 1 0 5 の信号およびテストデータ入力信号 5 0 3 が与えられ、その出力はラッチ 2 0 2 のデータ入力端子 (D) に与えられる。

【 0 1 3 3 】

また、ORゲート 6 0 2 には、テストデータ制御信号 5 0 2 および A S I D比較制御信号 2 0 3 が与えられ、その出力はラッチ 2 0 2 の制御入力端子 (C) に与えられる。

【 0 1 3 4 】

そして、ラッチ 2 0 2 の出力端子 (O) からは、A S I D有効信号 1 0 7 が出力され、仮想アドレス比較判定部 1 0 4 に与えられる。

【 0 1 3 5 】

< C - 2 . 装置動作 >

次に T L B 3 0 0 の動作について、図 6 および図 7 を参照しつつ説明する。なお、基本的な動作は T L B 1 0 0 と同じであるので重複する説明は省略し、A S I D比較判定部 5 0 1 の動作を中心に説明する。

【0136】

セクタ601は、テストデータ制御信号502としてLレベルの信号が与えられる場合は、ASIDマッチライン105が選択されるように構成されており、ASIDマッチライン105の信号が、ラッチ202のデータ入力端子(D)に入力される。また、テストデータ制御信号502がLレベルのときは、ORゲート602の出力は、ASID比較制御信号203と一致する。

【0137】

従って、テストデータ制御信号502としてLレベルの信号が与えられる場合は、実質的に実施の形態1のTLB100と同じ構成となり、TLB100と同じASID比較動作および仮想アドレスから物理アドレスへの変換動作を行うことになる。

【0138】

一方、テストデータ制御信号502としてHレベルの信号が与えられる場合は、テストデータ入力信号503が選択されるようにセクタ601が構成されており、テストデータ入力信号503がラッチ202のデータ入力端子(D)に入力される。

【0139】

また、テストデータ制御信号502がHレベルのときは、ラッチ202はデータ入力端子の値、すなわちテストデータ入力信号503の値を取り込み、ASID有効信号107として出力する。

【0140】

ASID有効信号107、すなわちテストデータ入力信号503が与えられた仮想アドレス比較判定部104では、テストデータ入力信号503のレベルに基づいて、仮想アドレスマッチライン106のチャージ、ディスチャージを任意に設定することができる。

【0141】

<C-3. 効果>

以上説明したように、TLB300においては、ASID比較判定部501のラッチ202の出力を、テストデータ制御信号502によりテストデータ入力信

号 5 0 3 の値に強制的に変更できるので、A S I D 比較動作を行わない場合でもラッチ 2 0 2 の出力を変更でき、仮想アドレスから物理アドレスへの変換動作のテストを容易に行うことができる。

【 0 1 4 2 】

また、A S I D 有効信号 1 0 7 をテストデータ入出力経路 5 0 4 を介して T L B 外部に出力するようにしたので、A S I D 比較動作を T L B 外部で直接に観測でき、引き続いて行う仮想アドレス比較動作および仮想アドレスから物理アドレスへの変換動作についてのテストを有効に行うことができる。

【 0 1 4 3 】

< D . 実施の形態 4 >

< D - 1 . 装置構成 >

< D - 1 - 1 . 全体構成 >

図 8 を用いて本発明に係る実施の形態 4 の T L B 4 0 0 の構成について説明する。なお、図 5 に示した T L B 2 0 0 および図 6 に示した T L B 3 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 1 4 4 】

図 8 に示すように、T L B 4 0 0 は、T L B 2 0 0 における A S I D 比較判定部 1 0 2 A に代えて、A S I D 比較判定部 5 0 1 A を有している。そして、A S I D 比較判定部 5 0 1 A には、テストデータ制御信号 5 0 2 およびテストデータ入力信号 5 0 3 が与えられる構成となっている。

【 0 1 4 5 】

なお、A S I D 比較判定部 5 0 1 A の構成は図 7 を用いて説明した A S I D 比較判定部 5 0 1 A と基本的に同様であるので重複する説明は省略するが、セレクタ 6 0 1 の入力データとして、A S I D マッチライン 1 0 5 の値の代わりに、A S I D マッチライン 4 0 1 の値が与えられる。

【 0 1 4 6 】

< D - 2 . 装置動作 >

次に T L B 4 0 0 の動作について、図 7 および図 8 を参照しつつ説明する。なお、基本的な動作は T L B 2 0 0 と同じであるので重複する説明は省略し、A S

I D 比較判定部 5 0 1 A の動作を中心に説明する。

【 0 1 4 7 】

セクタ 6 0 1 は、テストデータ制御信号 5 0 2 として L レベルの信号が与えられる場合は、A S I D マッチライン 1 0 5 が選択されるように構成されており、A S I D マッチライン 4 0 1 の信号が、ラッチ 2 0 2 のデータ入力端子 (D) に入力される。また、テストデータ制御信号 5 0 2 が L レベルのときは、O R ゲート 6 0 2 の出力は、A S I D 比較制御信号 2 0 3 と一致する。

【 0 1 4 8 】

従って、テストデータ制御信号 5 0 2 として L レベルの信号が与えられる場合は、実質的に実施の形態 2 の T L B 2 0 0 と同じ構成となり、T L B 2 0 0 と同じ A S I D およびバリッドデータについての比較動作および仮想アドレスから物理アドレスへの変換動作を行うことになる。

【 0 1 4 9 】

一方、テストデータ制御信号 5 0 2 として H レベルの信号が与えられる場合は、テストデータ入力信号 5 0 3 が選択されるようにセクタ 6 0 1 が構成されており、テストデータ入力信号 5 0 3 がラッチ 2 0 2 のデータ入力端子 (D) に入力される。

【 0 1 5 0 】

また、テストデータ制御信号 5 0 2 が H レベルのときは、ラッチ 2 0 2 はデータ入力端子の値、すなわちテストデータ入力信号 5 0 3 の値を取り込み、A S I D 有効信号 1 0 7 として出力する。

【 0 1 5 1 】

A S I D 有効信号 1 0 7、すなわちテストデータ入力信号 5 0 3 が与えられた仮想アドレス比較判定部 1 0 4 では、テストデータ入力信号 5 0 3 のレベルに基づいて、仮想アドレスマッチライン 4 0 2 のチャージ、ディスチャージを任意に設定することができる。

【 0 1 5 2 】

< D - 3 . 効果 >

以上説明したように、T L B 4 0 0 においては、A S I D 比較判定部 5 0 1 A

のラッチ 2 0 2 の出力を、テストデータ制御信号 5 0 2 によりテストデータ入力信号 5 0 3 の値に強制的に変更できるので、A S I D およびバリッドデータの比較動作を行わない場合でもラッチ 2 0 2 の出力を変更でき、仮想アドレスから物理アドレスへの変換動作のテストを容易に行うことができる。

【 0 1 5 3 】

また、A S I D 有効信号 1 0 7 をテストデータ入出力経路 5 0 4 を介して T L B 外部に出力するようにしたので、A S I D およびバリッドデータの比較動作を T L B 外部で直接に観測でき、引き続いて行う仮想アドレス比較動作および仮想アドレスから物理アドレスへの変換動作についてのテストを有効に行うことができる。

【 0 1 5 4 】

【発明の効果】

本発明に係る請求項 1 記載のアドレス変換装置によれば、仮想アドレス比較判定部は、その出力ラインをチャージするためのチャージ回路および前記出力ラインへのチャージを禁止するチャージ禁止回路を有し、前記アドレス空間識別子保持値と前記アドレス空間識別子入力値とが一致する場合には、前記仮想アドレス保持値と前記仮想アドレス入力値との比較を行い、その結果に基づいて前記出力ラインの電位状態を制御して前記アドレス変換の実行、非実行を規定するので、アドレス空間識別子の比較結果が不一致の場合、仮想アドレス比較判定部においては比較動作を行わずに済み、消費電力を削減することができる。また、仮想アドレスから物理アドレスへの変換動作を行う際には、アドレス空間識別子保持部およびアドレス空間識別子比較判定部については使用せずに済むので、消費電力を削減することができ、また寄生容量も低減できるので比較速度も向上させることができる。

【 0 1 5 5 】

本発明に係る請求項 4 記載のアドレス変換装置によれば、仮想アドレス比較判定部は、アドレス空間識別子保持値およびバリッドビット保持値と、アドレス空間識別子入力値およびバリッドビット入力値とがそれぞれ一致する場合には、仮想アドレス保持値と仮想アドレス入力値との比較を行い、その結果に基づいてア

ドレス変換の実行、非実行を規定するので、アドレス空間識別子およびバリッドビットの比較結果が不一致の場合、仮想アドレス比較判定部においては比較動作を行わずに済み、消費電力を削減することができる。また、バリッドビットも比較するので、タグエントリ部のデータの有効性も判断対象となり、比較精度を高めることができる。また、仮想アドレスから物理アドレスへの変換動作を行う際には、アドレス空間識別子保持部およびアドレス空間識別子比較判定部については使用せずに済むので、消費電力を削減することができ、また寄生容量も低減できるので比較速度も向上させることができる。

【図面の簡単な説明】

【図 1】 本発明に係る実施の形態 1 の T L B の構成を説明するブロック図である。

【図 2】 A S I D 比較判定部の構成を示す図である。

【図 3】 仮想アドレス比較判定部の構成を示す図である。

【図 4】 C A M セルの構成を示す図である。

【図 5】 本発明に係る実施の形態 2 の T L B の構成を説明するブロック図である。

【図 6】 本発明に係る実施の形態 3 の T L B の構成を説明するブロック図である。

【図 7】 仮想アドレス比較判定部の構成を示す図である。

【図 8】 本発明に係る実施の形態 4 の T L B の構成を説明するブロック図である。

【符号の説明】

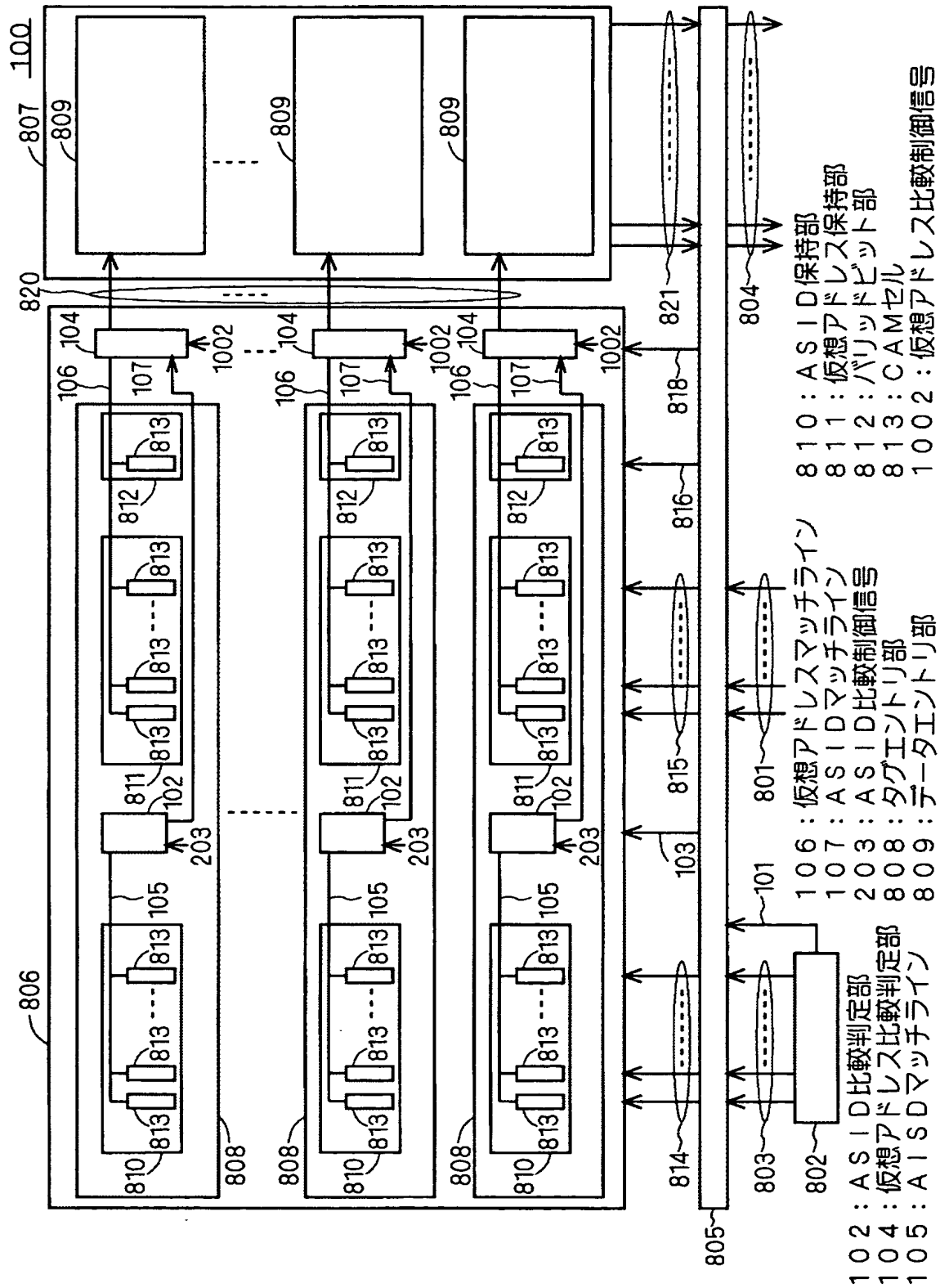
1 0 2, 1 0 2 A, 5 0 1 A S I D 比較判定部、1 0 4, 1 0 4 A 仮想アドレス比較判定部、1 0 5, 4 0 1 A S I D マッチライン、1 0 6, 4 0 2 仮想アドレスマッチライン、1 0 7 A S I D 有効信号、2 0 2 ラッチ、2 0 3 A S I D 比較制御信号、3 0 4, 6 0 2 O R ゲート、5 0 2 テストデータ制御信号、5 0 3 テストデータ入力信号、6 0 1 セレクタ、8 0 8 タグエントリ部、8 0 9 データエントリ部、8 1 0 A S I D 保持部、8 1 1 仮想アドレス保持部、8 1 2 バリッドビット部、8 1 3 C A M セル、1 0 0 2

仮想アドレス比較制御信号。

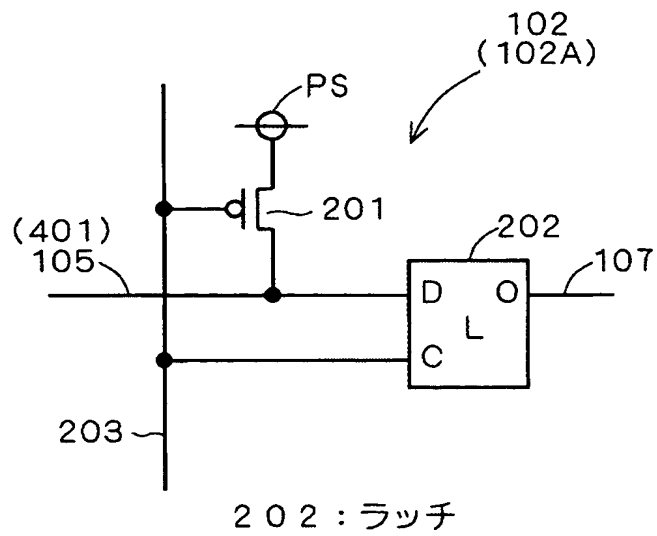
【書類名】

凶面

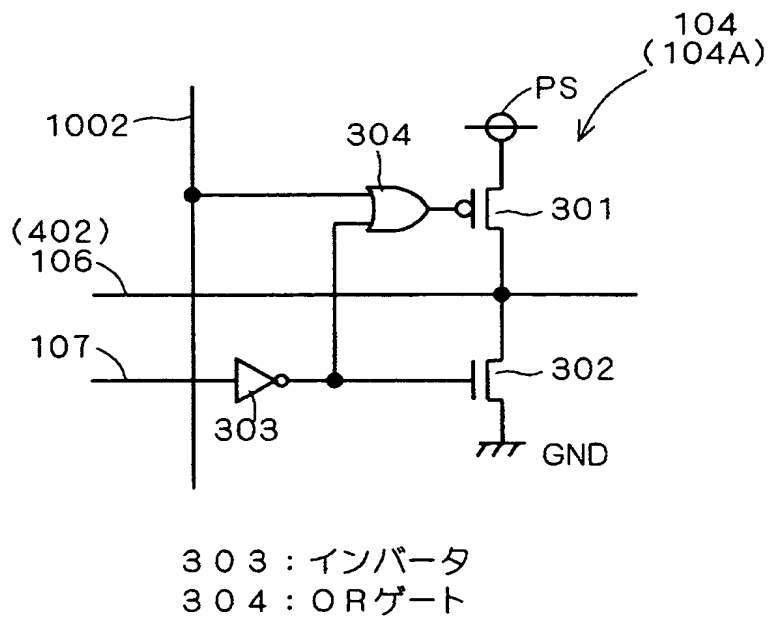
【図 1】



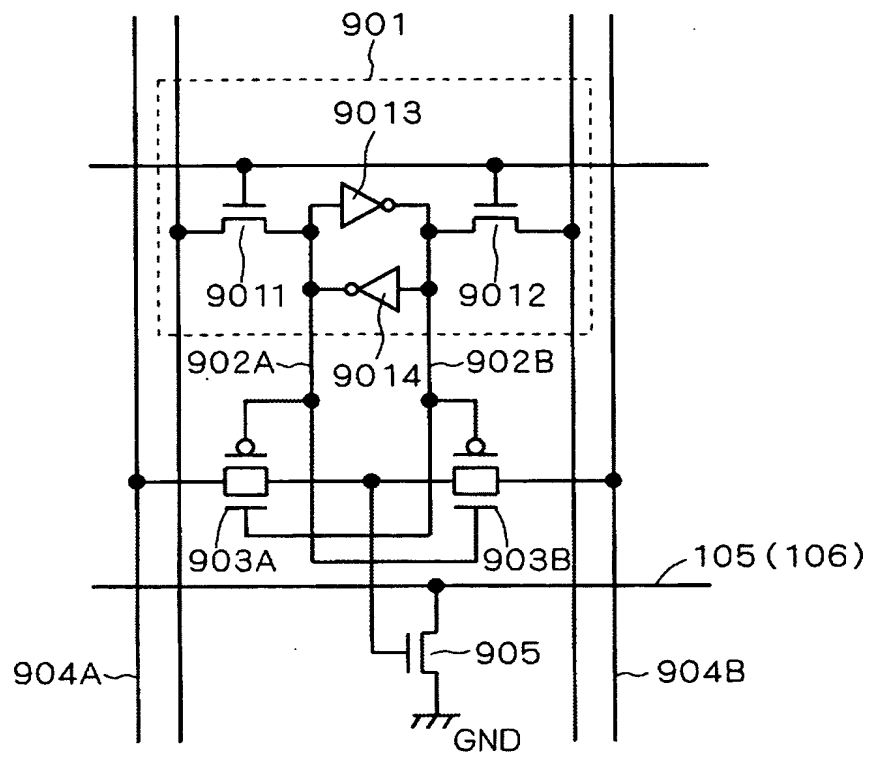
【図 2】



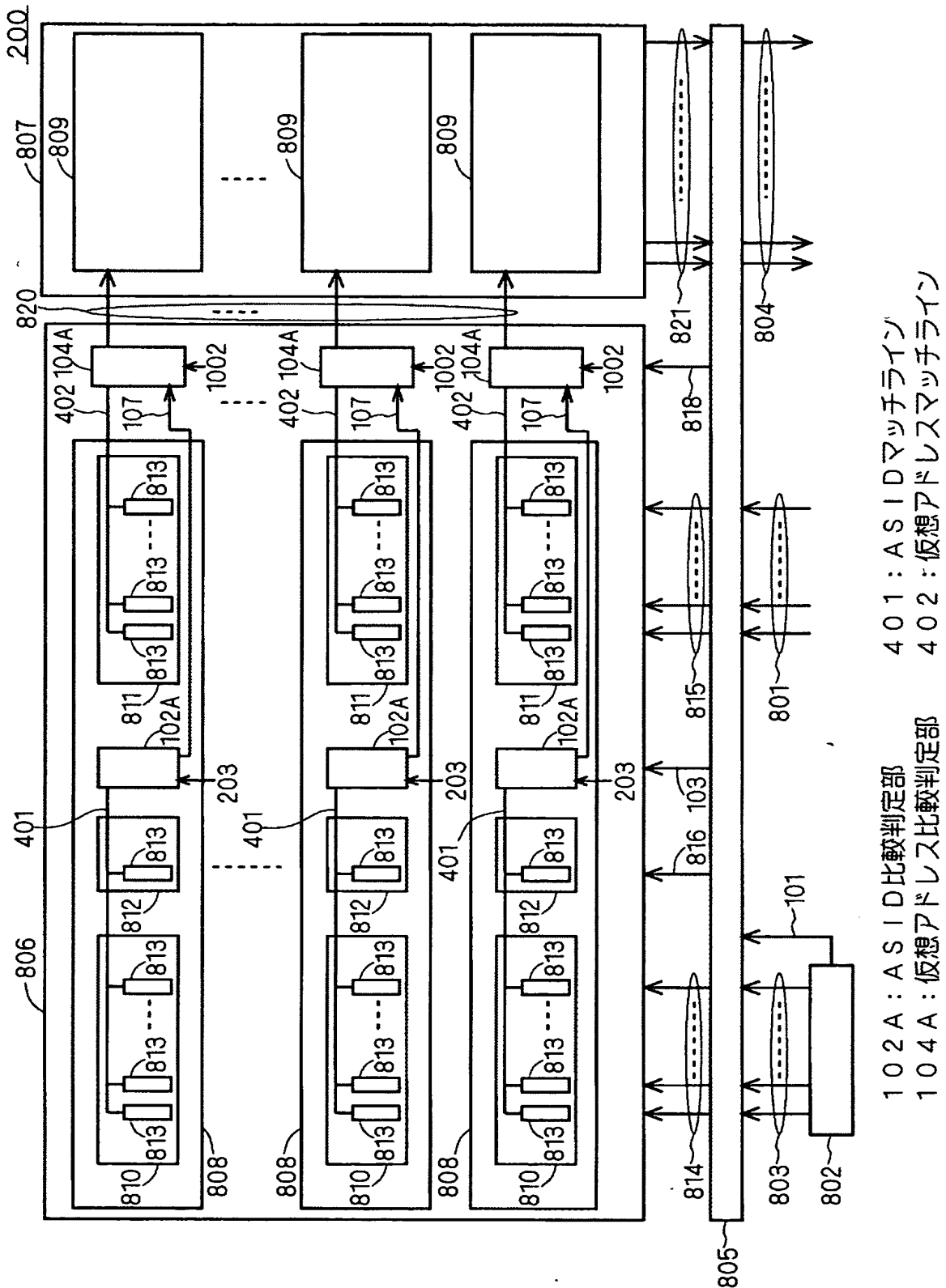
【図 3】



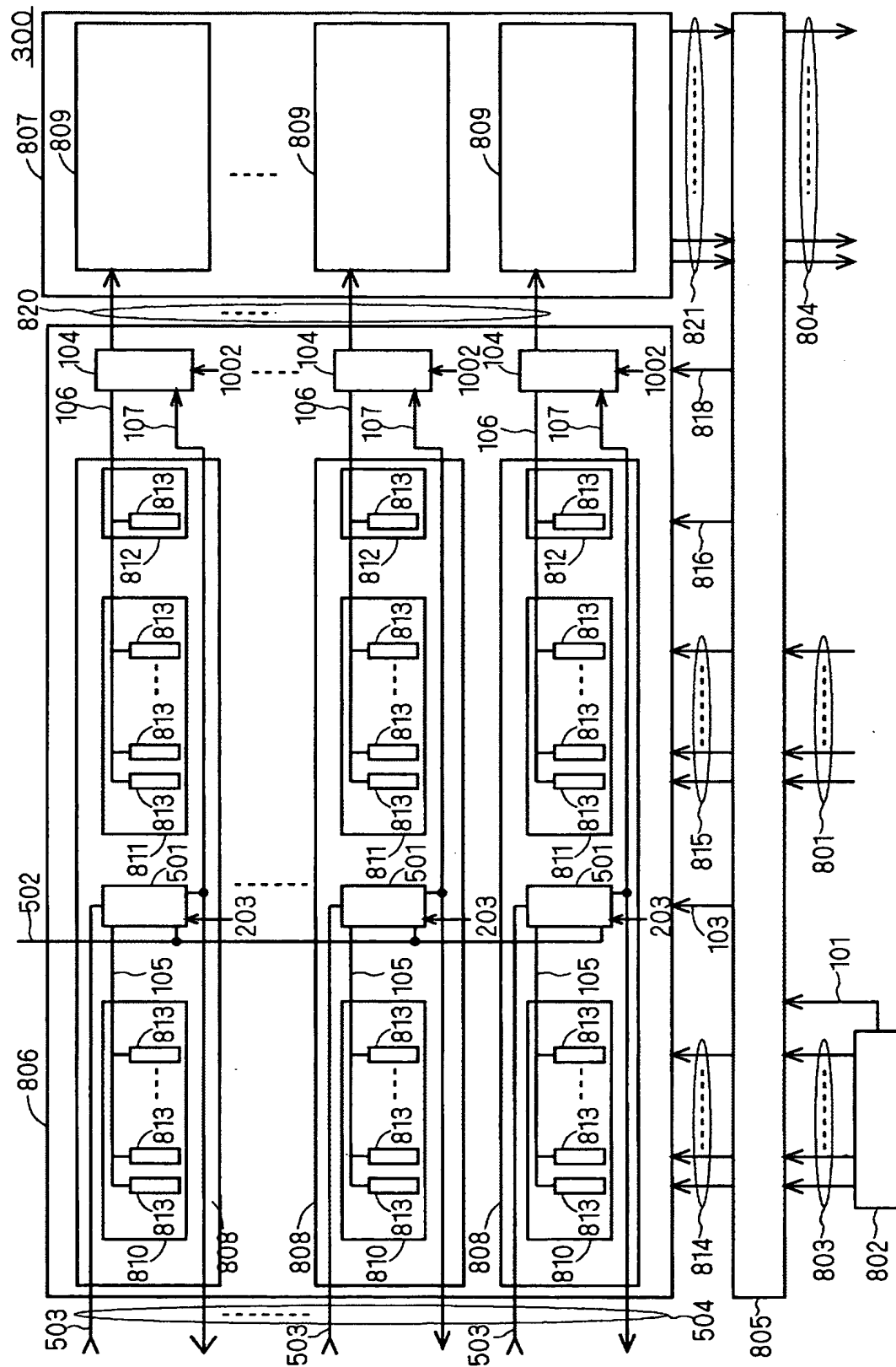
【図 4】



【图 5】

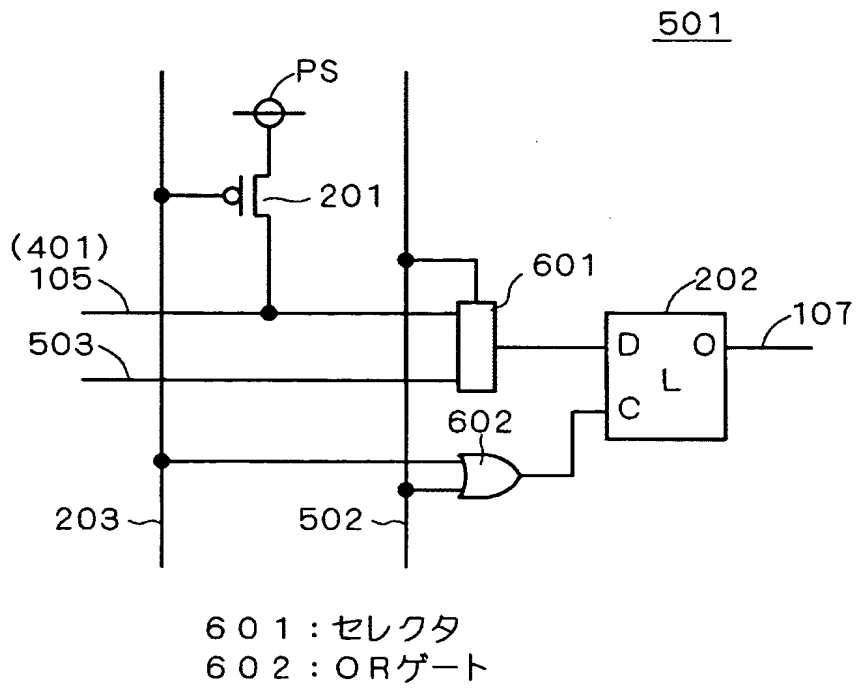


【図 6】

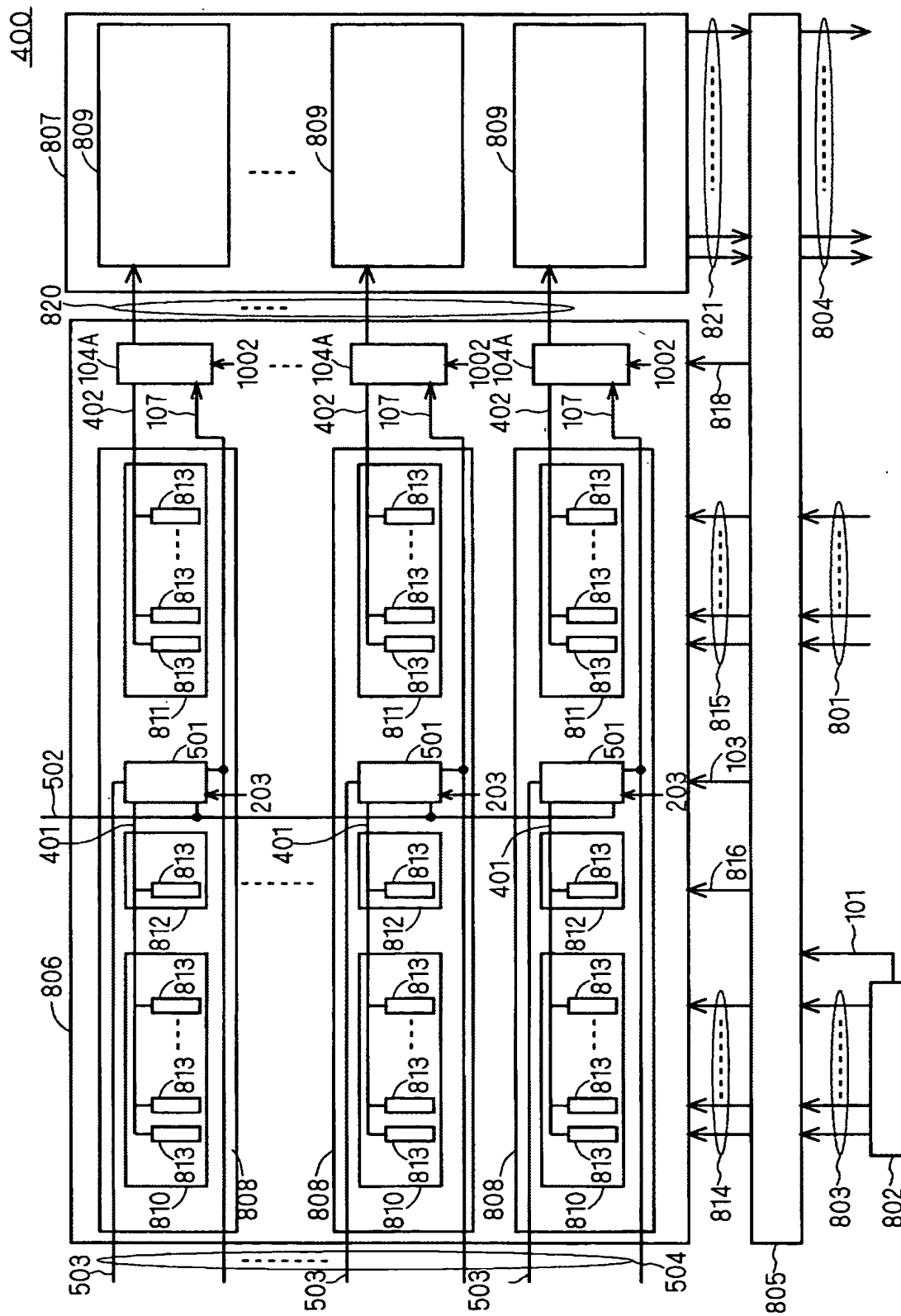


501: ASID比較判定部
502: テストデータ制御信号
503: テストデータ入力信号

【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 小さな電力消費で高速に仮想アドレスから物理アドレスに変換できる T L B を提供する。

【解決手段】 タグエントリ部 8 0 8 内には、A S I D 保持部 8 1 0、仮想アドレス保持部 8 1 1、バリッドビット部 8 1 2、A S I D 比較判定部 1 0 2、仮想アドレス比較判定部 1 0 4 とを備えている。A S I D 保持部 8 1 0 の複数の C A M セル 8 1 3 は、A S I D マッチライン 1 0 5 によって並列に接続されて A S I D 比較判定部 1 0 2 に接続され、仮想アドレス保持部 8 1 1 の複数の C A M セル 8 1 3 およびバリッドビット部 8 1 2 内の C A M セル 8 1 3 は、仮想アドレスマッチライン 1 0 6 によって並列に接続されて、仮想アドレス比較判定部 1 0 4 に接続されている。そして、A S I D 比較判定部 1 0 2 からは、仮想アドレス比較判定部 1 0 4 に A S I D 有効信号 1 0 7 が与えられる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社